

“中国电子杯”第三届高校 ICT 产教融合创新大赛

赛题三

一、赛题名称

带高阶 FIR 数字滤波器的 SoC 处理器设计

二、命题单位

飞腾信息技术有限公司

三、所需知识背景

目标专业：计算机、集成电路、电子、通信等专业；

能力层级：研究生；能完成 SoC 级 RTL 设计与板级验证；

基础知识：计算机组成原理（CPU 数据通路、总线协议）、C 语言程序设计（嵌入式驱动开发）、Verilog HDL（RTL 设计与仿真）、数字信号处理（FIR 滤波器原理）。

四、赛题背景

在物联网边缘计算、智能传感器、音频处理及工业控制等领域，异构 SoC 架构已成为主流技术趋势。其中，通用 CPU 承担系统控制与任务调度功能，专用硬件加速器（如 FIR/IIR 滤波器、FFT、CNN 等）则负责高吞吐量的数据运算，二者通过高速总线实现互连，共同达成系统级能效比最优的设计目标。

Cortex-M0 作为超低功耗 32 位处理器 IP，在 MCU 芯片中应用广泛。FIR（有限脉冲响应）数字滤波器凭借线性相位、天然稳定等特性，在信号处理领域具有不可替代的作用。然而，采用软件方式实现 81 阶 FIR 滤波器的实时性能较差，因此硬件加速成为必然选择。

五、赛题描述

5.1 赛题描述

模块	说明
CPU 核	32 位 Cortex-M0 核，指定的 CPU 里面已经包含
FIR 滤波器	81 阶可配置系数 FIR，全硬件实现，支持 AXI 接口
总线互连	基于 AXI 协议的 SoC 共享总线互连结构，支持单拍传输和 Burst 传输，AHB 到 AXI 接口桥（Cortex-M0），AXI 到 APB 接口桥（UART）
存储系统	片内 SRAM（指令+数据）+ 可选 ROM Boot，通过 AXI 互连
DMA 控制器	6 通道独立 DMA，支持存储器↔ FIR、存储器↔ 存储器、UART↔ 存储器等传输，支持 AXI Burst

5.2 关键设计要求

序号	要求项	详细说明
1	81 阶 FIR 自行设计	系数宽度≥16bit（定点），数据宽度 16bit，吞吐量≥1 sample/cycle
2	AXI 总线互连	CPU 核、FIR 滤波器、DMA 控制器均挂载 AXI 总线上；AXI 支持单拍与 Burst（至少 INCR 模式）传输；所以需设计 AXI 互连/总线仲裁（支持多主设备，指定的 CPU 里面无）、AHB 到 AXI 以及 AXI 到 APB 接口的桥（CPU 核转接、低速 IO 接口需要）
3	6 通道 DMA	每通道独立配置：源地址、目的地址、传输长度；支持传输完成后发起中断
4	软硬协同验证	需提供 C 语言驱动程序，通过 CPU 配置 FIR 系数、下发 DMA 任务、读取滤波结果
5	FPGA 可综合	最终设计需在 FPGA 开发板上综合、布局布线、时序收敛，主频≥25MHz（目标主频为 50MHz）

六、评价指标

6.1 初赛——功能正确性 + 文档规范

评分维度	权重	评分细则
------	----	------

评分维度	权重	评分细则
功能正确性	50%	CPU 正常跑通 (UART 回显); FIR 滤波结果与相关软件算法参考值误差<0.1%; DMA 6 通道全部可独立工作, 数据零差错
AXI 协议合规	25%	单拍与 Burst 传输均无协议错误; 总线仲裁无死锁
代码规范性	10%	RTL 代码风格统一 (命名、注释、模块化); C 代码符合基本规范
技术报告	15%	架构图清晰、模块说明完整、测试用例覆盖主要场景

初赛提交物: RTL 源码 + Testbench + C 驱动源码 + 技术报告 (PDF) + 汇报 PPT 及讲解视频

6.2 决赛——性能优化 + 创新设计 + 现场答辩

评分维度	权重	评分细则
性能指标	40%	FIR 吞吐量 (samples/cycle)、DMA 带宽 (MB/s)、CPU 主频 (MHz)、系统总延迟 (μ s) ——性能指标越优分数越高
资源利用率	20%	LUT/FF/BRAM/DSP 占用率——同等功能下面积越小分数越高
架构创新	20%	如: FIR 采用对称系数优化 (81 阶 $\rightarrow$ 41 次乘加)、DMA 支持链式传输 (多个 DMA 通道可以通过“链表”方式串联, 前一个通道传输完成后自动触发下一个通道, 无需 CPU 干预) 等
现场答辩	20%	参赛团队陈述+评委提问, 考察对设计的理解深度

决赛提交物: 初赛全部 + 优化后源码 + 最终版技术报告 + 答辩 PPT 及讲解视频+ 演示视频

七、参赛平台

维度	要求
EDA 工具	前端推荐使用开源工具 (VS Code + Icarus Verilog + GTKWave + git)
FPGA 平台	FGPA 开发板为紫光同创 Logos-2 PG2L100H 或者资源相当开发板的都可以, 综合验证使用相关厂商的 EDA 工具 (参赛队伍自行准备)

八、参考资料

指定 CPU 的下载链接如下：

Cortex-M0 RTL 源 码 下 载 地 址 :

<https://www.arm.com/resources/free-evaluation-arm-cpus>

九、校内初赛作品要求及评分标准

9.1 校内初赛作品提交要求

(1) 技术报告：提交 Doc 版本及 PDF 版本各 1 份（≤80 页），建议封面或目录后的第 1-2 页（不要多）项目为重要内容预览页，包含作品重要核心亮点。该报告基本结构包括系统工作原理与关键算法分析（基本概念、处理流程以及数学建模等）、系统体系结构设计（结构选择、模块划分、技术选型、接口描述）、详细设计与实现、系统验证与分析（三个层级验证：单元/模块验证、集成验证（不含 CPU 核，编写 Testbench 进行验证）、系统测试（含 CPU 核，编写 C 驱动代码进行测试））。

(2) 源代码：提供压缩包，包括 RTL 源码 + Testbench + C 驱动源码。

(3) 汇报 PPT 及讲解视频：电子文档（PPT≤15 页；视频为 mp4 格式，8 分钟），包括项目背景、主要工作及设计方案、测试结果与分析。

注意：为确保比赛公平公正，相关文档中不能出现队伍单位、指导老师等识别信息。

9.2 校内初赛评分标准（总分 100 分）

大项	内容	分值	评分要求
功能正确性	FIR 滤波器	20	CPU 正常跑通（UART 回显）；FIR 滤波结果与相关软件算法参考值误差 <0.1%；DMA 6 通道全部可独立工作，数据零差错
	DMA 控制器	10	
	软硬协同验证	10	
	FPGA 综合验证	20	
AXI 协议合规	AXI 互连/总线仲裁（支持多主	15	单拍与 Burst 传输均无协议错误；总线

	设备)、AHB 到 AXI 以及 AXI 到 APB 接口的桥		仲裁无死锁;实现了交叉开关互连结构 可以无需考虑共享总线互连结构
代码规范性	RTL 源码 + Testbench + C 驱动 源码	10	RTL 代码风格统一 (命名、注释、模块化); C 代码符合基本规范
技术报告	基本结构	15	架构图清晰、模块说明完整、测试用例 覆盖主要场景

注: 计分项不能使用开源代码。

十、决赛小组赛作品要求及评分标准

10.1 决赛小组赛作品提交要求

(1) 技术报告: 优化后的最终版, 提交 Doc 版本及 PDF 版本各 1 份 (≤ 80 页), 建议封面或目录后的第 1-2 页 (不要多) 项目为重要内容预览页, 包含作品重要核心亮点。该报告基本结构包括系统工作原理与关键算法分析 (基本概念、处理流程以及数学建模等)、系统体系结构设计 (结构选择、模块划分、技术选型、接口描述)、详细设计与实现、系统验证与分析 (三个层级验证: 单元/模块验证、集成验证 (不含 CPU 核, 编写 Testbench 进行验证)、系统测试 (含 CPU 核, 编写 C 驱动代码进行测试))。

(2) 源代码: 提供优化后的代码压缩包, 包括 RTL 源码 + Testbench + C 驱动源码。

(3) 答辩 PPT 及讲解视频: 电子文档 (PPT ≤ 15 页; 视频为 mp4 格式, 8 分钟), 包括项目背景 (痛点与工程问题)、主要工作 (技术难点) 与创新点、测试结果与分析 (同行比较)、成果及应用 (论文、专利及应用证明)。

(4) 演示视频: 5min 以内的 FPGA 功能演示视频, 格式为 mp4。

注意: 为确保比赛公平公正, 相关文档及视频中不能出现队伍单位、指导老师等

识别信息。

10.2 决赛小组赛阶段评分标准（总分 100 分）

大项	内容	分值	评分要求
性能指标	FIR 吞吐量 (samples/cycle)	10	性能指标越优分数越高，以各专项排名第一者为 10 分、最末者为 0 分（未完成者不计分、不参与排名），中间成绩者按线性关系映射
	DMA 带宽 (MB/s)	10	
	CPU 主频 (MHz)	10	
	系统总延迟 (μs)	10	
资源利用率	LUT/FF/BRAM/DSP 占用率	20	同等功能下面积越小分数越高
架构创新	例如： FIR 采用对称系数优化 (81 阶→41 次乘加) DMA 支持链式传输	20	DMA 链式传输：多个 DMA 通道可以通过“链表”方式串联，前一个通道传输完成后自动触发下一个通道，无需 CPU 干预
现场答辩	PPT 讲解清晰流畅程度，基本功能演示正确程度，额外功能演示是否符合设计，现场演示过程是否流畅，专家提问回答情况	20	参赛团队陈述+评委提问，考察对设计的理解深度

注：计分项不能使用开源代码。